

**Projeto e Montagem de Redes Iterativas**

Laboratório 3 (Circuitos Digitais I)

Março, 2019

Turma 1COMP

# Adriano Soares Rodrigues e Matheus Vidal de Menezes

Prof.º Osamu Saotome

Instituto Tecnológico de Aeronáutica (ITA)

São José dos Campos, São Paulo, Brasil.

{sadrianorod, [matheusvidaldemenezes}@gmail.com](mailto:matheusvidaldemenezes%7d@gmail.com)

1. **Introdução**

É importante salientar também que, com o progresso tecnológico dos transístores, criou-se a famosa família de circuitos integrados TTL, Transistor-Transistor Logic, responsáveis pelo desenvolvimento de portas lógicas, que, na verdade, são circuitos transistorizados, tecnologia essencial para o surgimento dos computadores pessoais (Personal Computer - PC) de hoje.

1. **Objetivo**

Diante desse breve contexto histórico, o objetivo da terceira prática laboratorial de EEA-21 Circuitos Digitais mostra-se de grande importância. Isso, porque introduz novos circuitos e, como nas práticas anteriores, trata da familiarização das portas lógicas estudadas teoricamente e do aprendizado quanto a utilização destas em simulações, via o *software* *Quartus*® *13.01*, de circuitos de redes iterativas, tais como: somador, subtrator, comparador e até multiplicador.

1. **Tarefas**

**Problema 5.1)**

A tabela verdade para um Circuito Combinacional de portas NANDs FanIN 2, conforme a Tabela Verdade 1.

Tabela 1. Tabela lógica, ou tabela verdade, referente ao problema 4.1 que possui 4 portas NANDS de FanIN = 2 em sua composição.

|  |  |  |
| --- | --- | --- |
| **A** |  |  |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

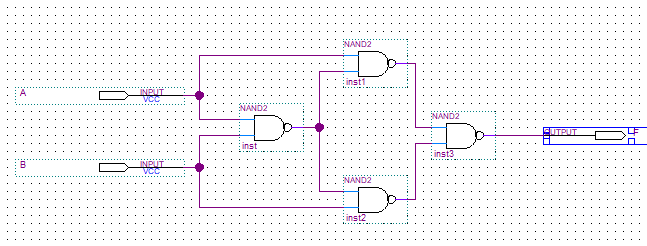
Assim, temos a função canônica SOP:

Note que a expressões já está minimizada, visto que se fizéssemos o Mapa de Karnaugh, veríamos que há somente 1 elemento para ser envolvido.

Para a saída, temos uma expressão notável, de modo a obter resultados, conforme a Eq.1.

(1)

Logo, o diagrama esquemático do circuito feito apenas com apenas 1 tipo de porta lógica: NAND, conforme a Figura 1. Note que podemos fazer uma XOR com com quatro portas NANDs de duas entradas, coms as entradas numeradas de acordo com o obtido na prática laboratorial.



3

8

11

6

5

4

1

2

10

9

12

13

12

13

Figure 1. Circuito montado para o valor lógico XOR com apenas portas NAND.

Após a compilação e da simulação do sistema, obtemos o diagrama de temporização, conforme a Figura 2.

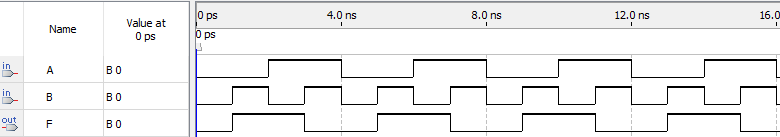


Figure 2. Diagrama de Temporização para o circuito da Figura 1 do problema 5.1, com períodos de 4 segundos.

Note que, de fato, a simulação corrobora para o resultado encontrado a saída F possui o valor de acordo com a tabela verdade, vide Tabela 1.

**Problema 5.2)**

Para o k-ésimo bit em A e B implementou-se um comparador. Esse dispositivo lógico de redes iterativas permite comparar valores absolutos de inteiros, representados em binários puros com n-bits. O dispositivo possui três saídas que indicam respectivamente se (Representado por ), (Representado por ) ou se (Representado por ) considerando as saídas , e mutuamente exclusicas conforme a Tabela 2 e que o dispositivo, ao obter o valor lógico 1 para alguma das saídas, isto é , já sabe qual o valor de comparação não realiza mais operações, temos a Tabela 2.

Tabela 2. Tabela verdade de um Comparador de 2 valores em seu k-ésimo bit.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | x | x | 1 | 0 |
| 0 | 1 | x | x | 0 | 1 |

Diante da tabela apresentada acima, é importante ressaltar que após percorrido os n-bits dos valores e ainda permanecer os valores e , temos por conseguinte que os valores comparados são iguais em módulo, assim temos que .

Tomando o método da minimização de termos e simplificando a expressão canônica SOP (mintermos), teremos a seguir:

(2)

Assim, temos que:

(3)

Analogamente para temos que:

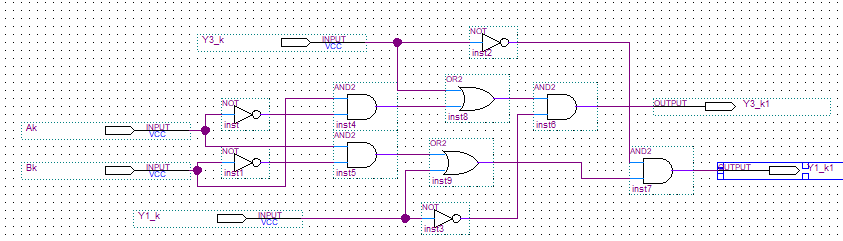
(4)

E, por conseguinte, se ao final de toda a operação iterativa tivermos valores nulos para e para , teremos

(5)

/

Logo, o diagrama esquemático do circuito foi feito na prática, conforme a Figura 3**.**



6

1

5

1

4

1

4

1

6

1

5

1

4

1

3

1

8

1

10

1

9

1

6

1

5

1

11

1

12

1

13

1

13

1

12

1

3

1

1

1

2

1

3

1

2

1

1

1

2

1

1

1

Figura 3. Circuito do problema 5.2 a ser simulado e simplificado.

Após a compilação e da simulação do sistema, obtemos o diagrama de temporização, conforme a Figura 4.

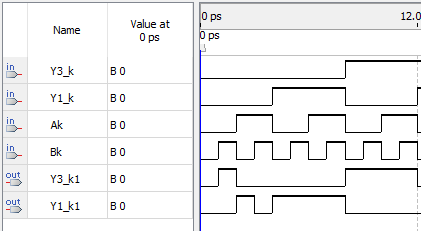


Figura 4. Diagrama de Temporização para o circuito da Figura 3 do problema 5.2, é importante salientar que nesse caso o intervalo é de 12 segundos porque as respostas entre Y3\_k e Y1\_k devem ser exclusivas, logo ambos inserindo o valor lógico 1 não convém, e também torna-se importante notar que os valores de Ak e Bk não alteram a resposta quando Y3\_k ou Y1\_k possuem valor lógico 1.

Note que, de fato, a simulação corrobora para o resultado encontrado, as saídas Y3\_k-1, Y1\_k-1 e, no fim de toda a comparação também para Y2, possuem os valores de acordo com a tabela verdade, vide Tabela 2.

**IV. Conclusão**

As atividades laboratoriais desenvolvidas bem como o aprendizado na utilização do software *Quartus*® *13.01* foram de grande importância para desenvolver os conhecimentos teóricos e práticos a respeito dos circuitos digitais, principalmente sobre o funcionamento e o projeto de redes iterativas : comparadores, subtratores, somadores e multiplicadores de n bits.

Do experimento realizado, foi possível, embora toda simplicidade em sua metodologia, conseguir obter resultados coerentes com a teoria de circuitos digitais. Além disso, tanto o software, quanto as técnicas aplicadas são de grande importância para o aprendizado da frente de EEA-21.